

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-109380

(P2003-109380A)

(43)公開日 平成15年4月11日 (2003.4.11)

(51) Int.Cl.	識別記号	F I	マーク(参考)
G 11 C 11/401		G 06 F 12/02	5 8 0 E 5 B 0 1 5
G 06 F 12/02	5 8 0	G 11 C 11/34	3 7 1 H 5 B 0 6 0
G 11 C 11/408			3 6 2 H 5 M 0 2 4
11/41			3 0 1 E
11/413			3 0 2 A

審査請求 未請求 請求項の数24 OL (全22頁) 最終頁に続く

(21)出願番号 特願2001-300020(P2001-300020)

(22)出願日 平成13年9月28日 (2001.9.28)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 近藤 哲二郎

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 小林 岳史

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人 100094053

弁理士 佐藤 隆久

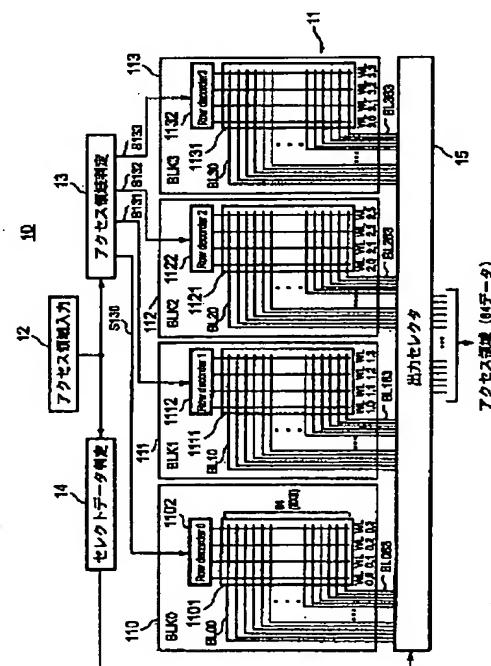
最終頁に続く

(54)【発明の名称】 記憶装置、記憶方法、および記憶装置のアクセス方法

(57)【要約】

【課題】複数回のアクセスや一時的なメモリを必要とすることなく、面状の領域への同時アクセスを実現することが可能な記憶装置、記憶方法、および記憶装置のアクセス方法を提供する。

【解決手段】8×8サイズのデータを含む固定領域が16個存在するデータ群のデータが格納されるメモリプロック群11がそれぞれ独立した行デコーダ1102、1112、1122、1132を備えた第1メモリプロック110、第2メモリプロック111、第3メモリプロック112、および第4メモリプロック113を有し、各メモリプロック110～113は、固定領域の64個のデータが記憶されるメモリセルMCが接続された4本のワード線WL00～03、WL10～13、WL20～23、WL30～33をそれぞれ有し、一つの固定領域の64個のデータが同一のワード線に接続されたメモリセルMCに記憶される。



【特許請求の範囲】

【請求項1】複数のデータを含む単位矩形領域に分割し得、かつ、連続的に隣接する所定数の矩形領域を一つの連関するデータブロック領域として複数に区分けし得る行列状に配列されたデータ群の中から所望の領域のデータを記憶する記憶装置であって、少なくとも上記区分けし得るデータブロックに含まれる単位矩形領域の所定数に相当する数の複数のメモリブロックを有し、上記各メモリブロックはそれぞれ、

複数のメモリセルが、上記データブロック領域の数に相当する行数および上記単位矩形領域内のデータ数に相当する列数をもって行列状に配列されたメモリアレイ部と、同一行に配列された複数のメモリセルを活性化するための、上記メモリアレイ部の行数に相当する数の複数の行線と、

同一列に配列された複数のメモリセルにおける活性化されたメモリセルとデータの授受を行う、上記単位矩形領域内のデータ数に相当する数の複数の列線と、

上記複数の行線のうち選択信号に応じた一の行線を活性化する行デコーダとを有する記憶装置。

【請求項2】上記一のデータブロック領域に含まれる各単位矩形領域内の複数のデータは、上記単位矩形領域毎に異なるメモリブロックの所定の一の行線に接続された複数のメモリセルに記憶されている請求項1記載の記憶装置。

【請求項3】上記データブロック領域は行列状に配列されており、

上記各データブロックの単位矩形領域を(x, y)の形でアドレス指定する場合、上記複数のメモリブロックはそれぞれxの値に対応付けられ、上記各メモリブロックの複数の行線にはそれぞれ上記yの値に相当する番号が付与され、

上記各単位矩形領域の複数のデータは、上記xの値に応じて対応付けられたメモリブロックの上記yの値に相当する番号の行線に接続された複数のメモリセルに記憶されている。請求項1記載の記憶装置

【請求項4】上記選択信号は、上記yの値を行デコーダに指定する請求項3記載の記憶装置。

【請求項5】上記2次元状に配列されるデータ群は動画像データである請求項1記載の記憶装置。

【請求項6】複数のデータを含む単位矩形領域に分割し得、かつ、連続的に隣接する所定数の矩形領域を一つの連関するデータブロック領域として複数に区分けし得る行列状に配列されたデータ群の中から所望の領域のデータを記憶する記憶装置であって、

少なくとも上記区分けし得るデータブロックに含まれる単位矩形領域の所定数に相当する数の複数のメモリブロックを有し、

上記各メモリブロックはそれぞれ、

複数のメモリセルが、上記データブロック領域の数に相当する行数および上記単位矩形領域内のデータ数に相当する列数をもって行列状に配列されたメモリアレイ部と、

同一行に配列された複数のメモリセルを活性化するための、上記メモリアレイ部の行数に相当する数の複数の行線と、

同一列に配列された複数のメモリセルにおける活性化されたメモリセルとデータの授受を行う、上記単位矩形領域内のデータ数に相当する数の複数の列線と、

上記複数の行線のうち第1の選択信号に応じた一の行線を活性化する行デコーダとを含み、上記一のデータブロック領域に含まれる各単位矩形領域の複数のデータは、上記単位矩形領域毎に異なるメモリブロックの所定の一の行線に接続された複数のメモリセルに記憶され、さらに、

アクセス領域情報に基づいて複数の上記第1の選択信号を生成し、対応するメモリブロックの行デコーダに出力

20 するアクセス領域判定回路と、

上記複数のメモリブロックの複数の列線に読み出されたデータを第2の選択信号に応じて選択して出力する出力セレクタと、

上記アクセス領域情報に基づいて選択して出力すべき選択対象データを示す信号を生成し、上記第2の選択信号として上記出力セレクタに出力するセレクトデータ判定回路とを有する記憶装置。

【請求項7】上記単位矩形領域は複数の内部ブロックに分割されており、

30 上記セレクトデータ判定回路は、アクセス領域情報に基づいて選択対象内部ブロックを示す信号を生成し、上記第2の選択信号として上記出力セレクタに出力し、

上記出力セレクタは、各メモリブロックに対応する複数の内部ブロックセレクタを有し、上記第2の選択信号に応じた内部ブロックを選択し所望のデータを出力する請求項6記載の記憶装置。

【請求項8】上記データブロック領域は行列状に配列されており、

上記各データブロックの単位矩形領域を(x, y)の形

40 でアドレス指定する場合、上記複数のメモリブロックはそれぞれxの値に対応付けられ、上記各メモリブロックの複数の行線にはそれぞれ上記yの値に相当する番号が付与され、

上記各単位矩形領域の複数のデータは、上記xの値に応じて対応付けられたメモリブロックの上記yの値に相当する番号の行線に接続された複数のメモリセルに記憶されている請求項6記載の記憶装置。

【請求項9】上記データブロック領域は行列状に配列されており、

50 上記各データブロックの単位矩形領域を(x, y)の形

でアドレス指定する場合、上記複数のメモリブロックはそれぞれ x の値に対応付けられ、上記各メモリブロックの複数の行線にはそれぞれ上記 y の値に相当する番号が付与され、

上記各単位矩形領域の複数のデータは、上記 x の値に応じて対応付けられたメモリブロックの上記 y の値に相当する番号の行線に接続された複数のメモリセルに記憶されている請求項 7 記載の記憶装置。

【請求項 10】 上記アクセス領域判定回路は、上記第 1 の選択信号で、上記 y の値を各行デコーダに指定する請求項 8 記載の記憶装置。

【請求項 11】 上記アクセス領域判定回路は、上記第 1 の選択信号で、上記 y の値を各行デコーダに指定する請求項 9 記載の記憶装置。

【請求項 12】 上記 2 次元状に配列されるデータ群は動画像データである請求項 6 記載の記憶装置。

【請求項 13】 上記 2 次元状に配列されるデータ群は動画像データである請求項 7 記載の記憶装置。

【請求項 14】 複数のデータを含む単位矩形領域に分割し得、かつ、連続的に隣接する所定数の矩形領域を一つの連関するデータブロック領域として複数に区分けし得る行列状に配列されたデータ群の中から所望の領域のデータを、少なくとも上記区分けし得るデータブロックに含まれる単位矩形領域の所定数に相当する数の複数のメモリブロックに記憶する記憶方法であって、

上記各メモリブロックのそれそれにおいて、複数のメモリセルを、上記データブロック領域の数に相当する行数および上記単位矩形領域内のデータ数に相当する列数をもって行列状に配列し、

上記一のデータブロック領域に含まれる各単位矩形領域内の複数のデータを、上記単位矩形領域毎に異なるメモリブロックの所定の一の行に配置された複数のメモリセルに記憶する記憶方法。

【請求項 15】 上記データブロック領域は行列状に配列されており、

上記各データブロックの単位矩形領域を (x, y) の形でアドレス指定する場合、上記複数のメモリブロックをそれぞれ x の値に対応付けし、上記各メモリブロックの複数の行にはそれぞれ上記 y の値に相当する番号を付与し、

上記各単位矩形領域の複数のデータを、上記 x の値に応じて対応付けられたメモリブロックの上記 y の値に相当する番号の行に配置された複数のメモリセルに記憶する請求項 14 記載の記憶方法。

【請求項 16】 上記 2 次元状に配列されるデータ群は動画像データである請求項 14 記載の記憶方法。

【請求項 17】 複数のデータを含む単位矩形領域に分割し得、かつ、連続的に隣接する所定数の矩形領域を一つの連関するデータブロック領域として複数に区分けし得る行列状に配列されたデータ群の中から所望の領域の

データを記憶する記憶装置であって、少なくとも上記区分けし得るデータブロックに含まれる単位矩形領域の所定数に相当する数の複数のメモリブロックを有し、

上記各メモリブロックはそれぞれ、

複数のメモリセルが、上記データブロック領域の数に相当する行数および上記単位矩形領域内のデータ数に相当する列数をもって行列状に配列されたメモリアレイ部と、

10 同一行に配列された複数のメモリセルを活性化するための、上記メモリアレイ部の行数に相当する数の複数の行線と、

同一列に配列された複数のメモリセルにおける活性化されたメモリセルとデータの授受を行う、上記単位矩形領域内のデータ数に相当する数の複数の列線と、

上記複数の行線のうち第 1 の選択信号に応じた一の行線を活性化する行デコーダとを含み、上記一のデータブロック領域に含まれる各単位矩形領域内の複数のデータは、上記単位矩形領域毎に異なるメモリブロックの所定の一の行線に接続された複数のメモリセルに記憶されている記憶装置のアクセス方法であって、

アクセス領域情報に基づいて複数の上記第 1 の選択信号を生成し、対応するメモリブロックの行デコーダに供給し、

上記アクセス領域情報に基づいて選択して出力すべき選択対象データを示す信号を第 2 の選択信号として生成し、

上記複数のメモリブロックの複数の列線に読み出されたデータを第 2 の選択信号に応じて選択して出力するを有する記憶装置のアクセス方法。

【請求項 18】 上記単位矩形領域は複数の内部ブロックに分割されており、

アクセス領域情報に基づいて選択対象内部ブロックを示す信号を上記第 2 の選択信号として生成し、

上記第 2 の選択信号に応じた内部ブロックを選択し所望のデータを出力する請求項 17 記載の記憶装置のアクセス方法。

【請求項 19】 上記データブロック領域は行列状に配列されており、上記各データブロックの単位矩形領域を (x, y) の形でアドレス指定する場

合、上記複数のメモリブロックをそれぞれ x の値に対応付けし、上記各メモリブロックの複数の行にはそれぞれ上記 y の値に相当する番号を付与し、

上記各単位矩形領域の複数のデータを、上記 x の値に応じて対応付けられたメモリブロックの上記 y の値に相当する番号の行に配置された複数のメモリセルに記憶する請求項 17 記載の記憶装置のアクセス方法。

【請求項 20】 上記データブロック領域は行列状に配列されており、

50 上記各データブロックの単位矩形領域を (x, y) の形

でアドレス指定する場合、上記複数のメモリブロックをそれぞれxの値に対応付けし、上記各メモリブロックの複数の行にはそれぞれ上記yの値に相当する番号を付与し、

上記各単位矩形領域の複数のデータを、上記xの値に応じて対応付けられたメモリブロックの上記yの値に相当する番号の行に配置された複数のメモリセルに記憶する請求項18記載の記憶装置のアクセス方法。

【請求項21】 上記第1の選択信号で、上記yの値を各行デコーダに指定する請求項19記載の記憶装置のアクセス方法。

【請求項22】 上記アクセス領域判定回路は、上記第1の選択信号で、上記yの値を各行デコーダに指定する請求項20記載の記憶装置のアクセス方法。

【請求項23】 上記2次元状に配列されるデータ群は動画像データである請求項17記載の記憶装置のアクセス方法。

【請求項24】 上記2次元状に配列されるデータ群は動画像データである請求項18記載の記憶装置のアクセス方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、たとえばデータを1点またはライン状ではなく面状に読み出す必要がある画像データを記憶する記憶装置、記憶方法、および記憶装置のアクセス方法に関するものである。

【0002】

【従来の技術】 DRAMに代表されるメモリデバイスは、通常、保持しているデータに対し、1点づつアクセスするように構成されている。しかし、その構造上、ライン毎のアクセスも容易に実現でき、その性質を利用して、高速ページモードや、シリアルアクセスなどが実現されている。

【0003】 図16は、記憶装置（メモリ装置）の基本的な構成例を示すブロック図である。メモリ装置1は、図16に示すように、メモリセルアレイ2、行デコーダ3、列デコーダ4、センスアンプ5を有している。

【0004】 メモリセルアレイ2は、行デコーダ3に接続された行線（ワード線）WLとセンスアンプ5を介して列デコーダ4に接続された列線（ピット線）BLとの交点に、これらワード線およびピット線に接続されたデータを保持するメモリセルMCが配置されている。ここでは、説明のため、メモリセルMC(1, A)～MC(9, O)が9×15のマトリクス状に配置され、ワード線9本(WL1～WL9)、ピット線15本(BLA～BLO)からなるメモリ装置1を考える。今、図16の黒丸で示したセルMC(2, G)にアクセスしようとする場合、実際の動作は以下のようになる。

【0005】 メモリ装置1において、行デコーダ2に行アドレスR A D Rとして"2"、列デコーダ4に列アド

レスC A D Rとして" G" が入力される。行アドレスR A D Rは、列デコーダ2によって解釈され、第2番目のワード線WL2が選択され、このワード線WL2に接続された15個のメモリセルMC(2, 1)～MC(2, O)が活性化されて、データが読み出される。読み出されたデータは、15本のピット線BLA～BLOを伝搬されて、センスアンプ5に入力され、データとして確定される。

【0006】 一方、列アドレスC A D Rは、行デコーダ4によって解釈され、上述の15のデータから" G" に対応するデータが選択されて出力される。このようにして、図中の黒丸のメモリセルMC(2, G)が選択、出力されることになる。

【0007】 ここで、注目すべきは、列アドレスC A D Rに従って選択されるまでは、行アドレス"2"に対応する15のデータ全てがセンスアンプ5で増幅、確定されている点で、この性質を利用し、列アドレスを順次アクセスするのが、シリアルアクセスであり、ランダムにアクセスするのが高速ページモードである。また、必要であれば、この15のデータを同時に出力することも原理的には可能である。

【0008】 通常、画像を扱うメモリ装置では、画面を構成する1ラインを、上述の行アドレスに対応させる。つまり、画像を扱うメモリ装置では、あたかも、メモリ上に画像を描くかのようにデータを収納する。

【0009】 【発明が解決しようとする課題】 しかしながら、画像処理などの応用においては、データを1点またはライン状ではなく、面状に読み出す必要に直面することが多い。30 このような場合、上述のようなメモリデバイスでは、1ライン分のデータは容易に取り出すことができるが、複数のラインにまたがる面状の領域を読み出すには、読み出したライン状のデータを一時的なメモリに蓄積しながら、必要なデータに応じて、複数回のデータアクセスを行い、必要なデータを揃えてから処理する必要があった。これは、処理にかかる時間を増大させるばかりでなく、物理的にも、一時メモリを設置するなど、回路規模を増大させる要因となっている。この課題について、可変探索範囲による動きベクトル評価を例に、さらに詳細に考察する。

【0010】 動画像処理において、動き補償フレーム間予測は基本的な圧縮方法であり、それを行うためには、「動きベクトル」を求める必要がある。動きベクトルの計算法の中では、全探索ブロックマッチング法(F u l l Search Block Matching M e t h o d)が、最も一般的な方法である。この方法は、図17に示すように、動画像の1画面を(N×N)ピクセルずつからなるブロックに分割し、現在の画面の各参照ブロックREFBLK(X)に対して、同じ座標から垂直・水平両方向それぞれpピクセルまでずらした

範囲の前フレーム画像を探索範囲SRCRGNとし、その中の候補となるブロック(Y)すべてと比較することによって、動きベクトルvを決定する。この比較動作は、以下のような方法によって行われる。

【0011】今、参照ブロック中のあるピクセルをx_{1,1}、候補ブロック中のあるピクセルをy_{1,1}とする。

また、pを垂直・水平方向に対しての最大探索範囲と*

$$D(m,n) = \sum_{i=0}^{N-1} \sum_{j=0}^{N-1} |y_{i+m,j+n} - x_{i,j}| \quad (1)$$

-p ≤ m, n ≤ p-1

【0013】

$$v = \arg \min_{-p \leq m, n \leq p-1} D(m,n) \quad (2)$$

【0014】この全探索ブロックマッチング法は、動きベクトルを求める方法の中でも精度が良く、一般的な方法ではあるが、演算の規模が極めて大きくなるという欠点がある。実際の計算にあたっては、フレーム内の各ピクセルに対し、(2p)²回ずつの比較計算を行わなければならぬからである。たとえば、1フレームが720×576ピクセルからなる、標準のテレビジョン(以下、スタンダード(Standard)TVという)を例に取ると、p=8、N=16の場合には、1フレームの処理を完了するまでに1億回以上の差分計算が必要であり、また、その差分を合計する演算も同じ回数だけ必要になる。もちろん、探索範囲pの値が大きくなれば、その2乗に比例して演算回数も増大する。

【0015】一方、現実の動きベクトル評価にあたっては、探索範囲は、評価可能な最大の動きを意味することになる。すなわち、探索範囲以上の大きさの動きの評価は、原理的に不可能である。したがって、大きな動き(速い動き)を評価するには、大きな探索範囲を用いて動きベクトルを求める必要があり、とりもなおさず、膨大な演算を行う必要が生じることになる。全く同じ理由により、小さな動き(遅い動き)を評価する際には、探索範囲はごく小さいもので十分であり、大きな探索範囲で評価を行っても、その大部分の演算は無駄である。

【0016】以上の議論から、動きベクトル計算を無駄なく行うには、動きに応じて適切な探索範囲を選択する必要があることがわかる。従来行われてきた、画面を構成する1ラインをメモリの行アドレスに格納する方法では、探索範囲分の読み出し動作は次のように行われる。たとえば図18(A)に示すように、5ライン分の探索範囲Aと7ライン分の探索範囲Bが存在する場合、まず、探索範囲Aへのアクセスは、図18(B)に示すように、5回のメモリアクセスにより5ラインを抜き出し、図18(C)に示すように、必要な部分を抽出する。そして、探索範囲AからBに変更する場合、探索範囲Bへのアクセスを行うために、読み出す行アドレスの数を変更し、図18(D)に示すように、7回のメモ

*し、変数m、nを探索範囲内の候補ブロックの位置を示すものとすると、以下の式で示される差分絶対値和Dが最小となるような候補ブロックの位置(m、n)が、動きベクトルvを意味することになる。

【0012】

【数1】

リアクセスにより7ラインを抜き出し、図18(E)に示すように、必要な部分を抽出する。

【0017】このように、従来行われてきた、画面を構成する1ラインをメモリの行アドレスに格納する方法では、探索範囲分の読み出しを行うには、まず必要な数の行アドレスに一つ一つアクセスして必要な画素を取り出し、取り出した画素値の差分絶対値和を計算する作業を繰り返さなければならない。そして、探索範囲を変更するには、読み出す行アドレスの数を変更しなければならず、その結果、処理するフレームに応じてアクセスの回数が変わることなど、メモリの動作が極めて煩雑になる。

【0018】本発明は、かかる事情に鑑みてなされたものであり、その目的は、複数回のアクセスや一時的なメモリを必要とすることなく、面状の領域への同時アクセスを実現することが可能な記憶装置、記憶方法、および記憶装置のアクセス方法を提供することにある。

【0019】

【課題を解決するための手段】上記目的を達成するため、本発明の第1の観点は、複数のデータを含む単位矩形領域に分割し得、かつ、連続的に隣接する所定数の矩形領域を一つの連関するデータブロック領域として複数に区分けし得る行列状に配列されたデータ群の中から所望の領域のデータを記憶する記憶装置であって、少なくとも上記区分けし得るデータブロックに含まれる単位矩形領域の所定数に相当する数の複数のメモリブロックを有し、上記各メモリブロックはそれぞれ、複数のメモリセルが、上記データブロック領域の数に相当する行数および上記単位矩形領域内のデータ数に相当する列数をもって行列状に配列されたメモリアレイ部と、同一行に配列された複数のメモリセルを活性化するための、上記メモリアレイ部の行数に相当する数の複数の行線と、同一列に配列された複数のメモリセルにおける活性化されたメモリセルとデータの授受を行う、上記単位矩形領域内のデータ数に相当する数の複数の列線と、上記複数の行線のうち選択信号に応じた一の行線を活性化する行データとを有する。

【0020】第1の観点では、上記一のデータブロック領域に含まれる各単位矩形領域内の複数のデータは、上記単位矩形領域毎に異なるメモリブロックの所定の一の行線に接続された複数のメモリセルに記憶されている。

【0021】また、第1の観点では、上記データブロック領域は行列状に配列されており、上記各データブロックの単位矩形領域を(x, y)の形でアドレス指定する場合、上記複数のメモリブロックはそれぞれxの値に対応付けられ、上記各メモリブロックの複数の行線にはそれぞれ上記yの値に相当する番号が付与され、上記各単位矩形領域の複数のデータは、上記xの値に応じて対応付けられたメモリブロックの上記yの値に相当する番号の行線に接続された複数のメモリセルに記憶されている。

【0022】また、第1の観点では、上記選択信号は、上記yの値を行デコーダに指定する。

【0023】また、第1の観点では、上記2次元状に配列されるデータ群は動画像データである。

【0024】本発明の第2の観点は、複数のデータを含む単位矩形領域に分割し得、かつ、連続的に隣接する所定数の矩形領域を一つの連関するデータブロック領域として複数に区分けし得る行列状に配列されたデータ群の中から所望の領域のデータを記憶する記憶装置であって、少なくとも上記区分けし得るデータブロックに含まれる単位矩形領域の所定数に相当する数の複数のメモリブロックを有し、上記各メモリブロックはそれぞれ、複数のメモリセルが、上記データブロック領域の数に相当する行数および上記単位矩形領域内のデータ数に相当する列数をもって行列状に配列されたメモリアレイ部と、同一行に配列された複数のメモリセルを活性化するための、上記メモリアレイ部の行数に相当する数の複数の行線と、同一列に配列された複数のメモリセルにおける活性化されたメモリセルとデータの授受を行う、上記単位矩形領域内のデータ数に相当する数の複数の列線と、上記複数の行線のうち第1の選択信号に応じた一の行線を活性化する行デコーダとを含み、上記一のデータブロック領域に含まれる各単位矩形領域内の複数のデータは、上記単位矩形領域毎に異なるメモリブロックの所定の一の行線に接続された複数のメモリセルに記憶され、さらに、アクセス領域情報に基づいて複数の上記第1の選択信号を生成し、対応するメモリブロックの行デコーダに出力するアクセス領域判定回路と、上記複数のメモリブロックの複数の列線に読み出されたデータを第2の選択信号に応じて選択して出力する出力セレクタと、上記アクセス領域情報に基づいて選択して出力すべき選択対象データを示す信号を生成し、上記第2の選択信号として上記出力セレクタに出力するセレクトデータ判定回路とを有する。

【0025】第2の観点では、上記単位矩形領域は複数の内部ブロックに分割されており、上記セレクトデータ

判定回路は、アクセス領域情報に基づいて選択対象内部ブロックを示す信号を生成し、上記第2の選択信号として上記出力セレクタに出力し、上記出力セレクタは、各メモリブロックに対応する複数の内部ブロックセレクタを有し、上記第2の選択信号に応じた内部ブロックを選択し所望のデータを出力する。

【0026】また、第2の観点では、上記データブロック領域は行列状に配列されており、上記各データブロックの単位矩形領域を(x, y)の形でアドレス指定する場合、上記複数のメモリブロックはそれぞれxの値に対応付けられ、上記各メモリブロックの複数の行線にはそれぞれ上記yの値に相当する番号が付与され、上記各単位矩形領域の複数のデータは、上記xの値に応じて対応付けられたメモリブロックの上記yの値に相当する番号の行線に接続された複数のメモリセルに記憶されている。

【0027】また、第2の観点では、上記アクセス領域判定回路は、上記第1の選択信号で、上記yの値を各行デコーダに指定する。

20 【0028】また、第2の観点では、上記2次元状に配列されるデータ群は動画像データである。

【0029】本発明の第3の観点は、複数のデータを含む単位矩形領域に分割し得、かつ、連続的に隣接する所定数の矩形領域を一つの連関するデータブロック領域として複数に区分けし得る行列状に配列されたデータ群の中から所望の領域のデータを少なくとも上記区分けし得るデータブロックに含まれる単位矩形領域の所定数に相当する数の複数のメモリブロックに記憶する記憶方法であって、上記各メモリブロックのそれぞれにおいて、複数のメモリセルを、上記データブロック領域の数に相当する行数および上記単位矩形領域内のデータ数に相当する列数をもって行列状に配列し、上記一のデータブロック領域に含まれる各単位矩形領域内の複数のデータを、上記単位矩形領域毎に異なるメモリブロックの所定の一の行に配置された複数のメモリセルに記憶する。

【0030】第3の観点では、上記データブロック領域は行列状に配列されており、上記各データブロックの単位矩形領域を(x, y)の形でアドレス指定する場合、上記複数のメモリブロックをそれぞれxの値に対応付けし、上記各メモリブロックの複数の行にはそれぞれ上記yの値に相当する番号を付与し、上記各単位矩形領域の複数のデータを、上記xの値に応じて対応付けられたメモリブロックの上記yの値に相当する番号の行に配置された複数のメモリセルに記憶する。

【0031】また、第3の観点では、上記2次元状に配列されるデータ群は動画像データである。

【0032】本発明の第4の観点は、複数のデータを含む単位矩形領域に分割し得、かつ、連続的に隣接する所定数の矩形領域を一つの連関するデータブロック領域として複数に区分けし得る行列状に配列されたデータ群の

中から所望の領域のデータを記憶する記憶装置であって、少なくとも上記区分けし得るデータブロックに含まれる単位矩形領域の所定数に相当する数の複数のメモリブロックを有し、上記各メモリブロックはそれぞれ、複数のメモリセルが、上記データブロック領域の数に相当する行数および上記単位矩形領域内のデータ数に相当する列数をもって行列状に配列されたメモリアレイ部と、同一行に配列された複数のメモリセルを活性化するための、上記メモリアレイ部の行数に相当する数の複数の行線と、同一列に配列された複数のメモリセルにおける活性化されたメモリセルとデータの授受を行う、上記単位矩形領域内のデータ数に相当する数の複数の列線と、上記複数の行線のうち第1の選択信号に応じた一の行線を活性化する行デコーダとを含み、上記一のデータブロック領域に含まれる各単位矩形領域内の複数のデータは、上記単位矩形領域毎に異なるメモリブロックの所定の一の行線に接続された複数のメモリセルに記憶されている記憶装置のアクセス方法であって、アクセス領域情報に基づいて複数の上記第1の選択信号を生成し、対応するメモリブロックの行デコーダに供給し、上記アクセス領域情報に基づいて選択して出力すべき選択対象データを示す信号を第2の選択信号として生成し、上記複数のメモリブロックの複数の列線に読み出されたデータを第2の選択信号に応じて選択して出力する。

【0033】第4の観点では、上記単位矩形領域は複数の内部ブロックに分割されており、アクセス領域情報に基づいて選択対象内部ブロックを示す信号を上記第2の選択信号として生成し、上記第2の選択信号に応じた内部ブロックを選択し所望のデータを出力する。

【0034】また、第4の観点では、上記データブロック領域は行列状に配列されており、上記各データブロックの単位矩形領域を(x, y)の形でアドレス指定する場合、上記複数のメモリブロックをそれぞれxの値に対応付けし、上記各メモリブロックの複数の行にはそれぞれ上記yの値に相当する番号を付与し、上記各単位矩形領域の複数のデータを、上記xの値に応じて対応付けられたメモリブロックの上記yの値に相当する番号の行に配置された複数のメモリセルに記憶する。

【0035】また、第4の観点では、上記第1の選択信号で、上記yの値を各行デコーダに指定する。

【0036】また、第4の観点では、上記2次元状に配列されるデータ群は動画像データである。

【0037】本発明によれば、たとえばデータブロック領域は行列状に配列されており、各データブロックの単位矩形領域を(x, y)の形でアドレス指定する場合、複数のメモリブロックはそれぞれxの値に対応付けられ、各メモリブロックの複数の行線にはそれぞれyの値に相当する番号が付与されている。そして、各単位矩形領域の複数のデータは、xの値に応じて対応付けられたメモリブロックのyの値に相当する番号の行線に接続さ

れた複数のメモリセルに記憶されている。このような記憶装置に入力されたアクセス領域情報がアクセス領域判定回路およびセレクトデータ判定回路に供給される。アクセス領域判定回路では、アクセス領域情報から読み出し領域判定が行われ、行判定結果に基づいて各メモリブロック毎に、独立の行線を選択させるための第1の選択信号が生成され、各メモリブロックの行デコーダに出力される。また、セレクトデータ判定回路では、供給されたアクセス領域情報から、列判定が行われ、アドレス対応の選択対象データ(列)を選択させる第2の選択信号が生成された出力セレクタに出力される。

【0038】第1の選択信号を受けた各メモリブロックの行デコーダでは、各メモリブロック内の該当行へのアクセスが行われる。すなわち、各メモリブロックの対応する行線がそれぞれ活性化される。これにより、各メモリブロックの各行線に接続された単位矩形領域のデータ数に相当する複数のメモリセルとデータが、同じく単位矩形領域のデータ数に相当する複数の列線に読み出され、出力セレクタに出力される。出力セレクタでは、たとえば読み出された複数のデータがセンサアンプに送られ、データが増幅され、確定される。そして、上述したように出力セレクタには、セレクトデータ判定回路が第2の選択信号として選択対象データがあらかじめ送られており、それに従い、出力が選択される。以上のようにして、面状領域へのアクセスが実現される。

【0039】以上のように、本発明によれば、2次元に並べられた所与のデータ群から、あらかじめ定められた最小単位の矩形領域を任意の位置から読み出すことが可能である。また、データブロック領域に含まれる単位矩形領域の数を増やすことにより、任意の位置の単位矩形領域の n^2 ($n = 1, 2, 3, \dots$)の領域を任意の位置から読み出すことができる。また、データブロック領域に含まれる単位矩形領域の数をさらに増やすことにより、任意の形状への面アクセスを実現することができる。

【0040】

【発明の実施の形態】第1実施形態

図1は、本発明に係るメモリ装置(記憶装置)の第1の実施形態を示すブロック構成図である。本メモリ装置10は、任意の場所への面アクセスとして、決まった大きさの正方形領域で、任意の場所という条件で、面状領域への同時アクセスを実現可能な構成を有している。以下、メモリ装置10の構成および機能について、図面に関連付けて順を追って説明する。

【0041】本メモリ装置10は、図1に示すように、メモリブロック群11、アクセス領域入力回路12、アクセス領域判定回路13、セレクトデータ判定回路14、および出力セレクタ15を有している。

【0042】メモリブロック群11は、それぞれ独立した行デコーダを有する複数(本実施形態では4個)の第

1メモリブロック110(BLK0)、第2メモリブロック111(BLK1)、第3メモリブロック112(BLK2)、および第4メモリブロック113(BLK3)が出力セレクタ15に対して並列に配置されている。

【0043】第1メモリブロック110は、メモリセルMCが 4×64 のマトリクス状に配置されたメモリアレイ部1101と、行デコーダ1102と、行デコーダ1102に接続された4本のワード線WL00～WL03と、出力セレクタ15に接続され、メモリアレイ部1101においてワード線WL00～WL03と直交して交差するように配置された64本のピット線BL00～BL063を有している。各メモリセルMCは、たとえばnチャネルMOS(NMOS)トランジスタとキャバシタを含むDRAM等により構成され、ワード線WL00～WL03とピット線BL00～BL063との交点に配置されて、NMOSトランジスタのゲートが対応するワード線に接続され、記憶ノードがNMOSトランジスタを介して対応するピット線に接続されている。

【0044】第2メモリブロック111は、メモリセルMCが 4×64 のマトリクス状に配置されたメモリアレイ部1111と、行デコーダ1112と、行デコーダ1112に接続された4本のワード線WL10～WL13と、出力セレクタ15に接続され、メモリアレイ部1111においてワード線WL10～WL13と直交して交差するように配置された64本のピット線BL10～BL163を有している。各メモリセルMCは、たとえばNMOSトランジスタとキャバシタを含むDRAM等により構成され、ワード線WL10～WL13とピット線BL10～BL163との交点に配置されて、NMOSトランジスタのゲートが対応するワード線に接続され、記憶ノードがNMOSトランジスタを介して対応するピット線に接続されている。

【0045】第3メモリブロック112は、メモリセルMCが 4×64 のマトリクス状に配置されたメモリアレイ部1121と、行デコーダ1122と、行デコーダ1122に接続された4本のワード線WL20～WL23と、出力セレクタ15に接続され、メモリアレイ部1121においてワード線WL20～WL23と直交して交差するように配置された64本のピット線BL20～BL263を有している。各メモリセルMCは、たとえばNMOSトランジスタとキャバシタを含むDRAM等により構成され、ワード線WL20～WL23とピット線BL20～BL263との交点に配置されて、NMOSトランジスタのゲートが対応するワード線に接続され、記憶ノードがNMOSトランジスタを介して対応するピット線に接続されている。

【0046】第4メモリブロック113は、メモリセルMCが 4×64 のマトリクス状に配置されたメモリアレイ部1131と、行デコーダ1132と、行デコーダ1132に接続された4本のワード線WL30～WL33と、出力セレクタ15に接続され、メモリアレイ部1131においてワード線WL30～WL33と直交して交差するように配置された64本のピット線BL30～BL363を有している。各メモリセルMCは、たとえばNMOSトランジスタとキャバシタを含むDRAM等により構成され、ワード線WL30～WL33とピット線BL30～BL363との交点に配置されて、NMOSトランジスタのゲートが対応するワード線に接続され、記憶ノードがNMOSトランジスタを介して対応するピット線に接続されている。

132に接続された4本のワード線WL30～WL33と、出力セレクタ15に接続され、メモリアレイ部1131においてワード線WL30～WL33と直交して交差するように配置された64本のピット線BL30～BL363を有している。各メモリセルMCは、たとえばNMOSトランジスタとキャバシタを含むDRAM等により構成され、ワード線WL30～WL33とピット線BL30～BL363との交点に配置されて、NMOSトランジスタのゲートが対応するワード線に接続され、記憶ノードがNMOSトランジスタを介して対応するピット線に接続されている。

【0047】次に、これらのメモリブロック110～113に格納され、読み出されるデータについて図2に関連付けて説明する。

【0048】ここでは簡単のため、 8×8 サイズの固定領域が16個存在する仮想的なメモリを用いて説明する。

【0049】この仮想的なメモリMRY1は、複数のデータを含む単位矩形領域（以下、固定領域）FXRGNに分割し得、かつ、連続的に隣接する所定数の矩形領域を一つの連関するデータブロック領域DTBLKとして複数に区分けし得るマトリクス状に配列されたデータ群により構成されている。

【0050】一つの固定領域FXRGNは、64個のデータ（データ0～63）を含み、その64個のデータは各メモリブロック110～113の同一のワード線（行線）に接続されたメモリセルMCに記憶（配置）される。これ対応して、図1に示す本第1の実施形態に係るメモリ装置10は、固定領域の64個のデータが記憶されるメモリセルMCが接続された16本のワード線WL00～03, WL10～13, WL20～23, WL30～33から構成されるメモリブロック群11を有する。

【0051】そして、各固定領域FXRGNの64個のデータを以下のような方法で分割配置する。すなわち、固定領域FXRGNを図2に示すように(x, y)の形で指定する場合、xが0の領域はメモリブロック110に、xが1の領域はメモリブロック111に、xが2の領域はメモリブロック112に、xが3の領域はメモリブロック113にというように順次配置する。具体的には、図2におけるA領域、B領域、C領域のデータは、次のように分割配置される。

【0052】A領域の固定領域(0, 0)の64個のデータは、第1メモリブロック110のワード線WL00に接続された64個のメモリセルMCに記憶される。A領域の固定領域(1, 0)の64個のデータは、第2メモリブロック111のワード線WL10に接続された64個のメモリセルMCに記憶される。A領域の固定領域(2, 0)の64個のデータは、第3メモリブロック112のワード線WL20に接続された64個のメモリセルMCに記憶される。A領域の固定領域(3, 0)の64個のデータは、第4メモリブロック113のワード線WL30に接続された64個のメモリセルMCに記憶される。

ルMCに記憶される。A領域の固定領域(3, 0)の64個のデータは、第4メモリブロック113のワード線WL30に接続された64個のメモリセルMCに記憶される。

【0053】B領域の固定領域(0, 2)の64個のデータは、第1メモリブロック110のワード線WL02に接続された64個のメモリセルMCに記憶される。B領域の固定領域(1, 2)の64個のデータは、第2メモリブロック111のワード線WL12に接続された64個のメモリセルMCに記憶される。B領域の固定領域(2, 0)の64個のデータは、第3メモリブロック112のワード線WL20に接続された64個のメモリセルMCに記憶される。B領域の固定領域(3, 0)の64個のデータは、第4メモリブロック113のワード線WL30に接続された64個のメモリセルMCに記憶される。

【0054】C領域の固定領域(0, 3)の64個のデータは、第1メモリブロック110のワード線WL03に接続された64個のメモリセルMCに記憶される。C領域の固定領域(1, 3)の64個のデータは、第2メモリブロック111のワード線WL13に接続された64個のメモリセルMCに記憶される。C領域の固定領域(2, 3)の64個のデータは、第3メモリブロック112のワード線WL23に接続された64個のメモリセルMCに記憶される。C領域の固定領域(3, 3)の64個のデータは、第4メモリブロック113のワード線WL33に接続された64個のメモリセルMCに記憶される。

【0055】そして、本第1の実施形態に係る各メモリブロック110～113は、上述したように独立した行デコーダ1102、1112、1122、1132を持ち、アクセス領域判定回路13の選択信号S130～S133によりブロック毎に独立のワード線(行線)を選択できる。すなわち、領域を特定する(x, y)のうち、yについては、任意の組み合わせでアクセスできる。このような構造を持つメモリを実現することにより、任意の位置の固定サイズ正方形領域(本例では8×8サイズ)にアクセスすることが可能になる。

【0056】図3は、各メモリブロックに格納されたデータについてのアクセス形態を説明するための図である。なお、図3は、C領域にアクセスする想定で書かれているが、他の場所にアクセスする場合でも、同様の方法でアクセス可能である。

【0057】たとえば、図3に示すA領域にアクセスしたい場合、4つの第1～第4メモリブロック110～113から、(0, 0) (1, 0) (2, 0) (3, 0)の4つの固定領域のデータを読み出し、A領域に相当する部分だけを選択し、出力すればよい。

【0058】具体的には、第1メモリブロック110の行デコーダ1102によりワード線WL00を選択して

メモリセルを活性化し、ビット線BL00～BL063に固定領域(0, 0)の64個のデータを読み出し、出力セレクタ15の列デコーダ151に出力する。同様に、第2メモリブロック111の行デコーダ1112によりワード線WL10を選択してメモリセルを活性化し、ビット線BL10～BL163に固定領域(1, 0)の64個のデータを読み出し、出力セレクタ15の列デコーダ152に出力する。第3メモリブロック112の行デコーダ1122によりワード線WL20を選択してメモリセルを活性化し、ビット線BL20～BL263に固定領域(2, 0)の64個のデータを読み出し、出力セレクタ15の列デコーダ153に出力する。第4メモリブロック113の行デコーダ1132によりワード線WL30を選択してメモリセルを活性化し、ビット線BL30～BL363に固定領域(3, 0)の64個のデータを読み出し、出力セレクタ15の列デコーダ154に出力する。

【0059】B領域にアクセスしたい場合には、第1メモリブロック110の行デコーダ1102によりワード線WL02を選択してメモリセルを活性化し、ビット線BL00～BL063に固定領域(0, 2)の64個のデータを読み出し、出力セレクタ15の列デコーダ151に出力する。同様に、第2メモリブロック111の行デコーダ1112によりワード線WL12を選択してメモリセルを活性化し、ビット線BL10～BL163に固定領域(1, 2)の64個のデータを読み出し、出力セレクタ15の列デコーダ152に出力する。第3メモリブロック112の行デコーダ1122によりワード線WL20を選択してメモリセルを活性化し、ビット線BL20～BL263に固定領域(2, 0)の64個のデータを読み出し、出力セレクタ15の列デコーダ153に出力する。第4メモリブロック113の行デコーダ1132によりワード線WL30を選択してメモリセルを活性化し、ビット線BL30～BL363に固定領域(3, 0)の64個のデータを読み出し、出力セレクタ15の列デコーダ154に出力する。

【0060】C領域にアクセスしたい場合には、第1メモリブロック110の行デコーダ1102によりワード線WL03を選択してメモリセルを活性化し、ビット線BL20～BL263に固定領域(0, 3)の64個のデータを読み出し、出力セレクタ15の列デコーダ151に出力する。同様に、第2メモリブロック111の行デコーダ1112によりワード線WL13を選択してメモリセルを活性化し、ビット線BL10～BL163に固定領域(1, 3)の64個のデータを読み出し、出力セレクタ15の列デコーダ152に出力する。第3メモリブロック112の行デコーダ1122によりワード線WL23を選択してメモリセルを活性化し、ビット線BL20～BL263に固定領域(2, 3)の64個のデータを読み出し、出力セレクタ15の列デコーダ153

に出力する。第4メモリブロック113の行デコーダ132によりワード線WL33を選択してメモリセルを活性化し、ビット線BL30～BL363に固定領域(3, 3)の64個のデータを読み出し、出力セレクタ15の列デコーダ154に出力する。

【0061】アクセス領域入回路12は、メモリブロック群11の各メモリブロック110～113にアクセスすべき領域(読み出し領域)に関する情報を入力し、アクセス領域判定回路13およびセレクトデータ判定回路14に供給する。

【0062】図4は、アクセス領域判定回路13、セレクトデータ判定回路14、および出力セレクタ15の構成および機能を説明するための図である。なお、図4においては、図面の簡単化のため各メモリブロック110～113のメモリアレイ部1101, 1111, 1121, 1131は、4×4のマトリクスとして示している。

【0063】アクセス領域判定回路13は、アクセス領域入回路12から供給されたアクセス領域情報から読み出し領域判定、具体的には図3に示すように、行判定部131で行判定を行い、この行判定結果に基づいて行ブロック判定回路132において行ブロック判定を行い、各メモリブロック110～113毎に、独立のワード線(行線)を選択させるための第1の選択信号S130～S133を、各メモリブロック110～113の行デコーダ1102, 1112, 1122, 1132に出力する。

【0064】セレクトデータ判定回路14は、アクセス領域入回路12から供給されたアクセス領域情報から、図3に示すように、列判定部141で列判定を行って、各メモリ110～113に対応して設けられた列デコーダおよびアドレス対応の列(選択対象データ)を選択させる第2の選択信号S14を出力セレクタ15に出力する。

【0065】出力セレクタ15は、たとえば図3および図4に示すように、センスアンプ150と、各メモリブロック110～113に対応して設けられた列デコーダ151～154を有し、各メモリブロック110～113において、ビットBL00～BL063, BL10～BL163, BL20～BL263, BL30～BL363に読み出されたデータをセンスアンプ150で増幅、確定させ、セレクトデータ判定回路14による選択信号S14に応じて列デコーダ151～154を選択して64データずつ選択して出力する。

【0066】次に、上記構成による動作を、図3に関連付けて説明する。なお、図3は、上述したようにC領域にアクセスする想定で書かれているが、他の場所にアクセスする場合でも、同様の方法でアクセス可能である。

【0067】まず、メモリ装置10に入力されたアクセス領域情報がアクセス領域入回路12が入力され、ア

クセス領域判定回路13およびセレクトデータ判定回路14に供給される。アクセス領域入回路12では、アクセス領域入回路12から供給されたアクセス領域情報から読み出し領域判定が行われ、行判定結果に基づいて各メモリブロック110～113毎に、独立のワード線(行線)を選択させるための第1の選択信号S130～S133が生成され、各メモリブロック110～113の行デコーダ1102, 1112, 1122, 1132に出力される。また、セレクトデータ判定回路14では、アクセス領域入回路12から供給されたアクセス領域情報から、列判定が行われ、各メモリ110～113に対応して設けられた列デコーダおよびアドレス対応の選択対象データ(列)を選択させる第2の選択信号S14が生成された出力セレクタ15に出力される。

【0068】第1の選択信号S130～S133を受けた各メモリブロック110～113の行デコーダ1102, 1112, 1122, 1132では、各メモリブロック内110～113の該当行へのアクセスが行われる。図3の例においては、C領域がアクセス領域として入力され、各メモリブロック110～113の行デコーダ1102, 1112, 1122, 1132には、"3"が送られている。すなわち、ここでは、メモリブロック110のワード線WL03、メモリブロック111のワード線WL13、メモリブロック112のワード線WL23、メモリブロック113のワード線WL33がそれぞれ活性化される。これにより、ワード線WL03に接続された64個のメモリセルMCのデータがビット線BL00～063に読み出され、ワード線WL13に接続された64個のメモリセルMCのデータがビット線BL10～163に読み出され、ワード線WL23に接続された64個のメモリセルMCのデータがビット線BL20～263に読み出され、ワード線WL33に接続された64個のメモリセルMCのデータがビット線BL30～363に読み出される。ビット線BL00～063、BL10～163、BL20～263、およびBL30～363に読み出された64×4=256のデータが出力セレクタ15のセンスアンプ150に送られ、データが増幅され、確定される。

【0069】図3はこの様子を画面上のデータ配置として描いたものであるが、図中、(0, 3) (1, 3)といったラベルは、固定領域すなわちメモリブロック内の行線に対応し、それぞれの固定領域内の、0～63のラベルを振られた小さな四角は、各データに対応する。出力されたデータは、ブロック毎に対応して設けられた列デコーダ151～154に送られる。各列デコーダ151～154にはセレクトデータ判定回路14によりアクセス領域情報から決定された、選択対象データがあらかじめ送られており、それに従い、出力が選択される。すなわち、固定領域(0, 3)からは列デコーダ151を通して46, 47, 54, 55, 62, 63の各デー

タ、(1, 3) からは列デコーダ152を通して40～45, 48～53, 56～61の各データ、(2, 3) からは列デコーダ153を通して6, 7, 14, 15, 22, 23, 30, 31, 38, 39の各データ、(3, 3) からは列デコーダ154を通して0～5, 8～13, 16～21, 24～29, 32～37の各データが選択され出力される。以上のようにして、 $8 \times 8 = 64$ の面状領域へのアクセスが実現される。

【0070】以上説明したように、本第1の実施形態によれば、 8×8 サイズの64個のデータを含む固定領域が16個存在する所与のデータ群のデータが格納されるメモリブロック群11であって、メモリブロック群11は、それぞれ独立した行デコーダ1102、1112、1122、1132を備えた第1メモリブロック110、第2メモリブロック111、第3メモリブロック112、および第4メモリブロック113を有し、各メモリブロック110～113は、固定領域の64個のデータが記憶されるメモリセルMCが接続された4本のワード線WL00～03, WL10～13, WL20～23, WL30～33をそれぞれ有し、一つの固定領域の64個のデータが同一のワード線に接続されたメモリセルMCに記憶(配置)され、固定領域を(x, y)の形で指定する場合、xが0の領域はメモリブロック110に、xが1の領域はメモリブロック111に、xが2の領域はメモリブロック112に、xが3の領域はメモリブロック113にというように順次配置し、アクセスする場合には、行アドレスに対応するy(0～3)を指定し、ワード線の選択を切り替えれば任意の位置がデータを抜き出せるように構成したことから、複数回のアクセスや一時的なメモリを必要とすることなく、面状の領域への同時アクセスを実現することが可能となる利点がある。

【0071】なお、上述の説明では、メモリブロック群11に対するアクセスとして、既にデータが所定の条件に従って配置(記憶)されていることを前提し、読み出し動作について説明したが、所定の条件に従って書き込みを行うことが可能であることはいうまでもない。

【0072】第2実施形態

図5は、本発明に係るメモリ装置(記憶装置)の第2の実施形態を説明するための図である。

【0073】本第2の実施形態と上述した第1の実施形態と異なる点は、面状アクセスをやや異なった方法により実現し、階層的なアクセスを可能にしたことにある。本第2の実施形態では、各固定領域内のデータは、4つずつの内部ブロック(0～15)に分割されている。そして、各列デコーダ151～154の入力段に、内部ブロックセレクタ155～158が配置されている。本第2の実施形態では、内部ブロックセレクタ155～158に対して図示しないセレクトデータ判定回路14によりアクセス領域情報から決定された、選択対象内部ブ

ックが送られており、それに従い、内部ブロックが選択される。その他の構成は上述した第1の実施形態と同様である。

【0074】次に、本第2の実施形態に係るメモリ装置10Aの動作を、図1および図5に関連付けて説明する。また、図5は、C領域にアクセスする想定で書かれているが、他の場所にアクセスする場合でも、同様の方法でアクセス可能である。

【0075】まず、メモリ装置10に入力されたアクセス領域情報がアクセス領域入力回路12に入力され、アクセス領域判定回路13およびセレクトデータ判定回路14に供給される。アクセス領域判定回路13では、アクセス領域入力回路12から供給されたアクセス領域情報から読み出し領域判定が行われ、行判定結果に基づいて各メモリブロック110～113毎に、独立のワード線(行線)を選択させるための第1の選択信号S130～S133が生成され、各メモリブロック110～113の行デコーダ1102, 1112, 1122, 1132に出力される。また、セレクトデータ判定回路14では、アクセス領域入力回路12から供給されたアクセス領域情報から、列判定が行われ、各メモリ110～113に対応して設けられた列デコーダおよびアドレス対応の選択対象データ(列)を選択させる第2の選択信号S14が生成された出力セレクタ15に出力される。

【0076】第1の選択信号S130～S133を受けた各メモリブロック110～113の行デコーダ1102, 1112, 1122, 1132では、各メモリブロック内110～113の該当行へのアクセスが行われる。図3の例においては、C領域がアクセス領域として入力され、各メモリブロック110～113の行デコーダ1102, 1112, 1122, 1132には、"3"が送られている。すなわち、ここでは、メモリブロック110のワード線WL03、メモリブロック111のワード線WL13、メモリブロック112のワード線WL23、メモリブロック113のワード線WL33がそれぞれ活性化される。これにより、ワード線WL03に接続された64個のメモリセルMCのデータがビット線BL00～063に読み出され、ワード線WL13に接続された64個のメモリセルMCのデータがビット線

BL10～163に読み出され、ワード線WL23に接続された64個のメモリセルMCのデータがビット線BL20～263に読み出され、ワード線WL33に接続された64個のメモリセルMCのデータがビット線BL30～363に読み出される。ビット線BL00～063、BL10～163、BL20～263、およびBL30～363に読み出された $64 \times 4 = 256$ のデータが出力セレクタ15のセンスアンプ150に送られ、データが増幅され、確定される。

【0077】この各固定領域の64ずつのデータは、それぞれ4つずつの組として意味付けられている。その様

子を画面上のデータとして描いたのが図5であるが、図5に示すように、各固定領域内のデータは、4つずつの内部ブロック(0~15)に分割されている。そして、出力されたデータは、まず、ブロック毎の内部ブロックセレクタ155~158に送られる。そこには、セレクトデータ判定回路14においてアクセス領域情報から決定された、選択対象内部ブロックが送られており、それに従い、内部ブロックが選択される。すなわち、固定領域(0, 3)からは内部ブロック11, 15、固定領域(1, 3)からは内部ブロック8~10, 12~14、固定領域(2, 3)からは内部ブロック3, 7, 11、固定領域(3, 3)からは内部ブロック0~2, 4~6, 8~10が選択される。

【0078】この時点では、選択された内部ブロック内の全データを出力することができ、その場合、個別のデータ単位ではなく、4つのデータを組にした、大まかな形状が出力されることになる。選択された内部ブロックは、さらにブロック毎の出力セレクタとしての列デコーダ151~154に送られる。これら列デコーダ151~154には、セレクトデータ判定回路14においてアクセス領域情報から決定された、選択対象データが送られており、それに従い、データが選択、出力される。この例の場合、出力されるデータは、図3の場合と同一である。すなわち、固定領域(0, 3)からは列デコーダ151を通して46, 47, 54, 55, 62, 63の各データ、(1, 3)からは列デコーダ152を通して40~45, 48~53, 56~61の各データ、(2, 3)からは列デコーダ153を通して6, 7, 14, 15, 22, 23, 30, 31, 38, 39の各データ、(3, 3)からは列デコーダ154を通して0~5, 8~13, 16~21, 24~29, 32~37の各データが選択され出力される。以上のようにして、任意の場所への面アクセスが行われる。

【0079】本第2の実施形態によれば、上述した第1の実施形態の効果と同様の効果を得ることができる。

【0080】第3実施形態

図6は、本発明の第3の実施形態について説明するための図である。本第3の実施形態では、任意の大きさの面アクセスを実現する。

【0081】任意の大きさの面アクセス

任意の大きさの面アクセスについて説明する。基本的には、上述の第2の実施形態の任意の場所への面アクセスの拡張である。第1および第2の実施形態では、連続的に隣接する4つの固定領域を一つのデータブロック領域DTBLKとしているが、本第3の実施形態では、図6に示すように、データブロック領域DTBLKに含まれる固定領域(単位矩形領域)FXRGNの数、すなわち、データブロック領域DTBLKの分割数を4から9に増やすことにより、任意の位置の固定領域の4倍の面アクセスが可能としている。同様に、16分割にすれ

ば、固定領域の9倍、25分割にすれば、固定領域の16倍と、固定領域のn² (n=1, 2, 3, ...)の領域を任意の位置から読み出すことができる。

【0082】第4実施形態

図7は、本発明の第4の実施形態について説明するための図である。本第4の実施形態では、任意の形状への面アクセスを実現する。

【0083】任意の形状への面アクセス

任意の形状への面アクセスについて説明する。基本的には、上述の第3の実施形態の任意の大きさの面アクセスの拡張である。図7に示すように、データブロック領域DTBLKに含まれる固定領域(単位矩形領域)FXRGNの数、すなわち、データブロック領域DTBLKの分割数をさらに増やすことにより、分割数分の固定領域の範囲内で、ほぼ任意の形状の面領域を、任意の位置から読み出すことができる。同様に、分割数を増やすことにより、より大きな部分への面アクセスが可能になる。

【0084】第5実施形態

本第5の実施形態は、本発明に係る記憶装置を動画像処理に応用した例で、可変探索範囲による動きベクトル評価に適用する場合の例である。本第5の実施形態では、可変探索範囲による動きベクトル計算に本発明を適用することの利点について説明し、その後、具体的なメモリ構成および機能について、図面に関連付けて順を追って説明する。

【0085】可変探索範囲による動きベクトル評価

前述したように、動画像処理において、動き補償フレーム間予測は基本的な圧縮方法であり、それを行うためには、「動きベクトル」を求める必要がある。動きベクトルの計算法の中では、全探索ブロックマッチング法(Full Search Block Matching Method)が、最も一般的な方法である。この方法は、動画像の1画面を(N×N)ピクセルずつからなるブロックに分割し、現在の画面の各参照ブロック(X)に対して、同じ座標から垂直・水平両方向それぞれピクセルまでずらした範囲の前フレーム画像を探索範囲とし、その中の候補となるブロック(Y)すべてと比較することによって、動きベクトルVを決定する。全探索ブロックマッチング法は、動きベクトルを求める方法の中でも精度がよく一般的な方法であるが、演算規模が極めて大きくなるという欠点がある。一方、現実の動きベクトル評価にあたっては、探索範囲は、評価可能な最大の動きを意味することになる。すなわち、探索範囲以上の大きさの動き評価は原理的に不可能である。したがって、大きな動き(速い動き)を評価するには、大きな探索範囲を用いて動きベクトルを求める必要があり、膨大な演算を行なう必要がある。以上の議論から、動きベクトル計算を無駄なく行なうには、動きに応じて適切な探索範囲を選択する必要がある。本発明を応用すると、こ

の可変探索範囲による動きベクトル計算を容易に実行で

きる。

【0086】図8および図9は、本発明の第5の実施形態を説明するための図であって、図8は本発明に係る前フレームからの目可変探索範囲の読み出し例を説明するための図、図9は本発明に係る可変探索範囲による動きベクトルの計算動作を説明するためのフローチャートである。

【0087】まず、最初の動きベクトル演算では、取りうる最大の探索範囲を選択する(図9のST1、たとえば図8のA領域)。この画素データ取り出しへは、本発明の特徴により、1度のメモリアクセスで実現できる。その結果得られた動きベクトル結果から、次の動きベクトル演算のための探索範囲を設定する(図9のST1)。たとえば、前回の動きベクトル計算で動き(2, 2)が得られたのであれば、次の動きベクトル計算では、探索範囲を±4に設定するといった設定を行う。そして、参照ブロックを選択し(ST2)、上記設定に基づき、縮小した探索範囲の画素データを読み出す(ST3)。この時も、本発明の特徴により、1度のメモリアクセスでデータ取り出しが可能である。読み出したデータを使って、動きベクトル計算を行う(ST4)。

【0088】2度目の動きベクトル計算で得られた結果を用い、探索範囲を再度設定する(ST5, ST6)。たとえば、再び動き(2, 2)が得られた場合には、探索範囲はそのままの±4、(1, 1)のように小さくなったり場合には、±2へ、また、探索範囲の最大値(4, 4)となった場合には、実際の差分絶対値を最小にする動きは、探索範囲の外側にある可能性があるので、探索範囲を±8に拡大して設定する。以上の処理を繰り返し行うことにより(ST2～ST7)、動きベクトル計算時に、演算の無駄を省き、効率的な計算を実行できる。

【0089】可変領域取り出し

上述した動きベクトル計算において、演算は、参照ブロックに含まれる全ての画素に対して行われることを仮定していた。しかし、実際には演算量の削減等の目的で、全画素ではなく、図10(B)～(F)に示すように、画素を間引いたり、十字型、クロス型、三角型など特殊な形状を用いる場合がある。上述した第4の実施形態に係る「任意形状へのアクセス」を応用すれば、こうした場合も容易に実現できる。

【0090】図11は、本第5の実施形態に係るスタンダード(Standard)TVを仮定したメモリの構成例を示す図である。なお、スタンダード(Standard)TVは、図11(A)に示すように、1フレームが720×576ピクセルからなる。

【0091】図11に示すメモリ20は、以下に示す条件で、構成した例を示す。

1) 最小領域は2×2の4画素領域

領域は、64画素で構成し、内部領域で4画素ブロック

を実現

- 2) 最大探索範囲は±24
- メモリのブロック分割は81分割
- 3) 画素値は8ビットにて構成

画素値は、ワード線上に展開し、一つのワード線に接続された512個のメモリセルMCに512ビットを記憶(配置)させる。

【0092】この構成例のメモリ20では、図11(A)に示すように、まず720×576ピクセルの画面を72×72の80個のワードブロックWDBLKに分割する。このワードブロックWDBLKは、後述する、メモリ内部のワード線に対応している。さらに、個々のワードブロックWDBLKは、図11(B)に示すように、81個のメモリブロックに対応する、8×8ピクセルの固定領域FXRGNに分割されている。さらに、個々の固定領域FXRGNには、図11(C)に示すように、64ピクセル×8ビット分のデータが格納されている。

【0093】このような構成を実現するための、具体的なメモリ構成について図12を参照して説明する。

【0094】図12は、本発明に係るメモリ装置(記憶装置)の第5の実施形態を示す構成図である。

【0095】図12のメモリ装置10Cが図1のメモリ装置10と異なる点は、メモリブロック群11Cのメモリブロック数が4から81に増え、また、アクセス領域判定回路13Cの選択信号(セレクトデータ)がセレクトデータ判定回路14に入力されている点にある。他の構成、機能はメモリブロック110C～1180Cのメモリアレイ部を除いて基本的には図1のメモリ装置10と同様である。

【0096】メモリブロック110は、図12(B)に示すように、メモリセルMCが80×512のマトリクス状に配置されたメモリアレイ部1101Cと、行デコーダ1102Cと、行デコーダ1102Cに接続された80本のワード線WL00～WL079と、出力セレクタ15Cに接続され、メモリアレイ部1101Cにおいてワード線WL00～WL079と直交して交差するように配置された512本のビット線BL00～BL0512を有している。各メモリセルMCは、たとえばNMOSトランジスタとキャッシュを含むDRAM等により構成され、ワード線WL00～WL079とビット線BL00～BL0512との交点に配置されて、NMOSトランジスタのゲートが対応するワード線に接続され、記憶ノードがNMOSトランジスタを介して対応するビット線に接続されている。

【0097】同様に、モリブロック1179は、図12(B)に示すように、メモリセルMCが80×512のマトリクス状に配置されたメモリアレイ部11791Cと、行デコーダ11792Cと、行デコーダ11792Cに接続された80本のワード線WL790～WL79

79と、出力セレクタ15Cに接続され、メモリアレイ部11791Cにおいてワード線WL790～WL799と直交して交差するように配置された512本のビット線BL790～BL79512を有している。各メモリセルMCは、たとえばNMOSトランジスタとキャバシタを含むDRAM等により構成され、ワード線WL790～WL7979とビット線790～BL79512との交点に配置されて、NMOSトランジスタのゲートが対応するワード線に接続され、記憶ノードがNMSトランジスタを介して対応するビット線に接続されている。

【0098】以上のように、メモリ装置10Cは、図12(A)に示すように、全体を81個のメモリブロック110C～1180Cに分割している。この81という数は、図11(B)における、固定領域FXRGNの数に対応している。個々のメモリブロック110C～1180Cは、各々 $64 \times 8 = 512$ ビットのメモリセルが接続された80本のワード線からなるメモリとなっている。この80という数字は、図11(A)における、ワードブロックWDBLKに対応している。さらに、ワード線上の512ビットのデータは、図12(C)に示すように、1ビットあたり $4 \times 4 \times 16$ 個の内部領域8ビット分に分割されて格納されている。

【0099】こうした構造を制御するために、アドレス制御系であるには、図13に示すように、入力されたアクセス領域データから、各メモリブロック内のどのワード線からの読み出しが必要か判断し、そのアドレスを発生させる機能(行線アドレス発生回路133、列線アドレス発生回路142)と、読み出したワード線上のデータの中から、どのデータをセレクトするかを決定する機能が必要になる。これらの機能は図1の場合と基本的には同様である。

【0100】次に、上述のメモリ装置による全探索ブロックマッチング法の実行例について、図14および図5に関連付けて説明する。

【0101】図14は、全探索ブロックマッチング法を実行する場合に読み出す必要があるデータについての説明図である。また、図15は、全探索ブロックマッチング法を実行する場合の領域と座標との関係を示す図である。

【0102】全探索ブロックマッチング法を実行するには、既に述べたとおり、図14に示すように、現在画面の参照ブロックREFBLKと前フレーム画面の探索範囲SRCRGN分の画素データを読み出す必要がある。

【0103】まず、現在フレームから、 $8 \times 8 = 64$ サブイズの参照ブロックREFBLKを、前フレームから、それに対応する最大探索範囲 ± 24 の探索領域を取り出すことを考える。一番単純な例は、メモリ内の一つのワード線上に展開された64画素分のデータが、そのまま参照領域と一致し、かつ探索領域も、図11に示した7

9×79 のワードブロックWDBLK内部に収まる場合である。この場合の一例は、図14のA領域へのアクセスである。

【0104】たとえば参照ブロックREFBLKとして、図14(B)に示すように、(24, 24)～(31, 31)を選択すると、探索範囲を ± 24 としたときの探索領域は、(0, 0)～(55, 55)となる。これを、実際のメモリアクセスに読みかえると、参照ブロックREFBLKは、図12のメモリブロック1130のワード線WL300に対応する。また、探索領域は、図11のメモリブロック11x(x=0～6, 9～15, 18～24, 27～33…54～59)のワード線WLx, 0に対応していることになる。

【0105】次に、参照領域が一つのワード線に対応し、探索領域が、複数のワードブロックに跨る場合である。この場合の一例は、図14のB領域へのアクセスである。

【0106】参照ブロックREFBLKとして、(64, 64)～(71, 71)を選択すると、探索範囲を ± 24 としたときの探索領域は、(40, 40)～(103, 103)となる。これを、実際のメモリアクセスに読みかえると、参照ブロックは、図12のメモリブロック1180のワード線WL80, 0に対応する。

【0107】また、探索領域は、図12のメモリブロック11x(x=50～53, 59～62, 68～71, 77～80)のワード線WLx, 0、メモリブロック11y(y=45～47, 54～56, 63～65, 72～74)のワード線WLy, 1、メモリブロック11z(z=5～8, 14～17, 23～26)のワード線QLz, 10、メモリブロック11w(w=0～2, 9～11, 18～20)のワード線WLw, 11に対応する。

【0108】さらに、参照ブロックREFBLKが複数のワード線に跨る場合を考える。この場合の一例は、図14のC領域へのアクセスである。

【0109】参照ブロックREFBLKとして、(171, 28)～(178, 35)を選択すると、探索範囲を ± 24 としたときの探索領域は、(146, 4)～(202, 59)となる。

【0110】これを実際のメモリアクセスに読みかえると、参照ブロックは、図12のメモリブロック1130のワード線WL30, 2から画素40～47および56～63、メモリブロック1131のワード線WL31, 2から画素32～39および48～55、メモリブロック1139のワード線WL39, 2から画素8～15および24～31、メモリブロック1140のワード線WL40, 2から画素0～7および16～23を読み出すことで実現できる。このワード線からの抜き出しは、選択されたワード線から読み出されるデータを、ビット線単位で選択することにより実現する。

【0111】また、探索領域の読み出しへは、図12のメモリブロック11x ($x = 0 - 7, 9 - 16, 18 - 25, 27 - 34 \dots 63 - 70$) のワード線WLx, 2から、参照ブロックREFBLKと同様のビット線抜き出しを行うことによって実現できる。これらの”抜き出し”には、アクセス領域を示す座標値を、メモリ上のワード線アドレスやビット線アドレスに変換する必要がある。その実現には、たとえば座標値とワード線アドレスとの関係表を用いたり、以下のような簡単な関係式を用いることで実現できる。

*10

$$X = \text{int} \left(\frac{\xi}{72} \right)$$

【0114】

※※【数4】

$$Y = \text{int} \left(\frac{\eta}{72} \right)$$

【0115】

★★【数5】

$$x = \text{int} \left(\frac{\text{mod} \left(\frac{\xi}{72} \right)}{8} \right)$$

【0116】

☆20☆【数6】

$$y = \text{int} \left(\frac{\text{mod} \left(\frac{\eta}{72} \right)}{8} \right)$$

* 【0112】まず、各ワードブロックWDBLKを図15 (A) に示すように”座標”を振り、これを(X, Y)とする。また各ワードブロック内の、固定領域FXRGNにも同様に図15 (B) に示すような”座標”を振り、これを(x, y)とする。こうして定義した”座標値”は、アクセス領域として入力される座標値(ξ, η)と、以下のような関係にある。

【0113】

【数3】

(3)

【0114】

※※【数4】

(4)

【0115】

★★【数5】

(5)

【0116】

☆20☆【数6】

(6)

【0117】以上、述べてきたことは、探索範囲±24での処理を前提にしているが、選択するワード線の数を変えることにより、探索範囲を自由に変更することができる。また、可変領域の取り出しへは、ビット線選択の際、必要なフィルタを掛けることにより、実現することができる。

【0118】

【発明の効果】以上説明したように、本発明によれば、複数回のアクセスや一時メモリを必要とすることなく、面状の領域への同時アクセスを実現することが可能となる。

【0119】データブロック領域に含まれる単位矩形領域の数を増やすことにより、任意の位置の単位矩形領域の n^2 ($n = 1, 2, 3, \dots$) の領域を任意の位置から読み出すことができる。また、データブロック領域に含まれる単位矩形領域の数をさらに増やすことにより、任意の形状への面アクセスを実現することができる。

【図面の簡単な説明】

【図1】本発明に係るメモリ装置(記憶装置)の第1の実施形態を示すブロック構成図である。

【図2】本発明に係る各メモリブロックに格納され、読み出されるデータについて説明するための図であって、 8×8 サイズの固定領域が16個存在する仮想的なメモリを示す図である。

【図3】本発明に係る各メモリブロックに格納されたデータについてのアクセス形態を説明するための図であ

る。

【図4】本発明に係るアクセス領域判定回路、セレクタデータ判定回路、および出力セレクタの構成および機能を説明するための図である。

【図5】本発明に係るメモリ装置(記憶装置)の第2の実施形態を説明するための図である。

30 【図6】本発明の第3の実施形態を説明するための図である。

【図7】本発明の第4の実施形態を説明するための図である。

【図8】本発明の第5の実施形態を説明するための図であって、本発明に係る前フレームからの目可変探索範囲の読み出し例を説明するための図である。

【図9】本発明の第5の実施形態を説明するための図であって、本発明に係る可変探索範囲による動きベクトルの計算動作を説明するためのフローチャートである。

40 【図10】本発明の第5の実施形態を説明するための図であって、動きベクトル計算において、全画素ではなく、画素を間引いたり、十字型など特殊な形状を用いる場合を説明するための図である。

【図11】本第5の実施形態に係るスタンダード(Standard)TVを仮定したメモリの構成例を示す図である。

【図12】本発明に係るメモリ装置(記憶装置)の第5の実施形態を示すブロック構成図である。

【図13】図12のアドレス制御系の持つべき機能についての説明図である。

【図14】全探索ブロックマッチング法を実行する場合に読み出す必要があるデータについての説明図である。

【図15】全探索ブロックマッチング法を実行する場合の領域と座標との関係を示す図である。

【図16】記憶装置（メモリ装置）の基本的な構成例を示すブロック図である。

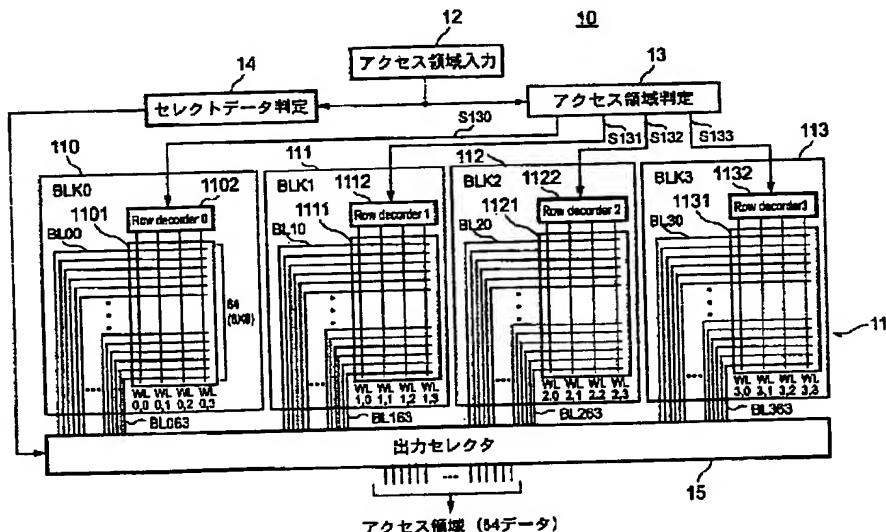
【図17】全探索ブロックマッチング法を説明するための図である。

【図18】画面を構成する1ラインをメモリの行アドレスに格納する方法における探索範囲分の読み出し動作を説明するための図である。

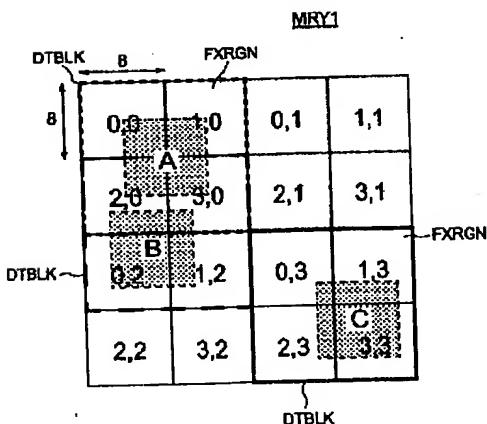
【符号の説明】
10, 10A～10C…メモリ装置、11, 11C…メモリブロック群、110…第1メモリブロック、110*

* 1…メモリアレイ部、1102…行デコーダ、111…第2メモリブロック、1111…メモリアレイ部、1112…行デコーダ、1112…第3メモリブロック、1112…メモリアレイ部、1112…行デコーダ、1113…第4メモリブロック、1113…メモリアレイ部、1113…行デコーダ、1113…アクセス領域入回路、1113…セレクトデータ判定回路、1113…出力セレクタ、1114…センスアンプ、1115～1118…列デコーダ、1119～1118…内部ブロックセレクタ、1119～1118…メモリブロック、MRY1～MRY5…仮想的メモリ、FXRGN…固定領域（単位矩形領域）、DTBLK…データブロック。

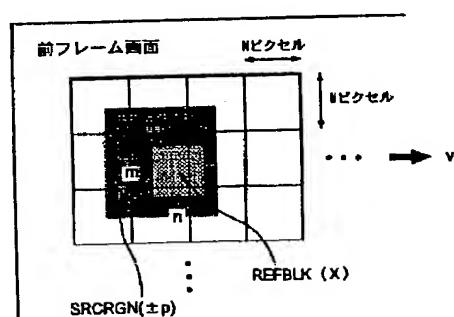
【図1】



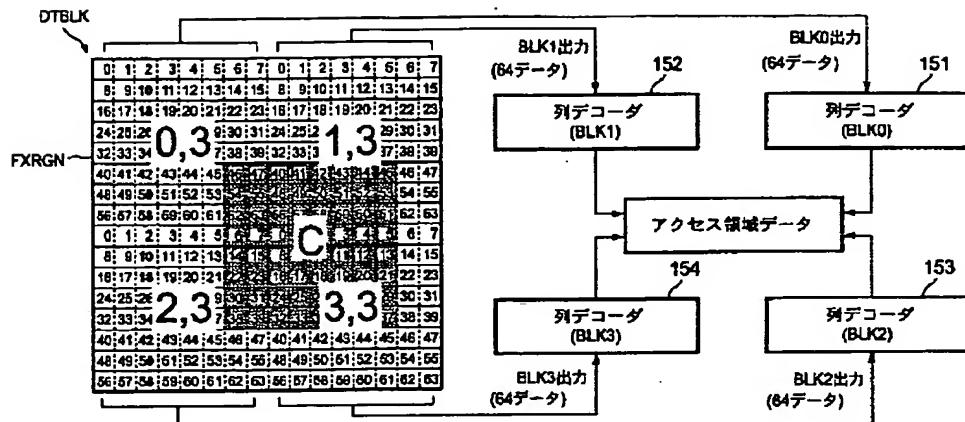
【図2】



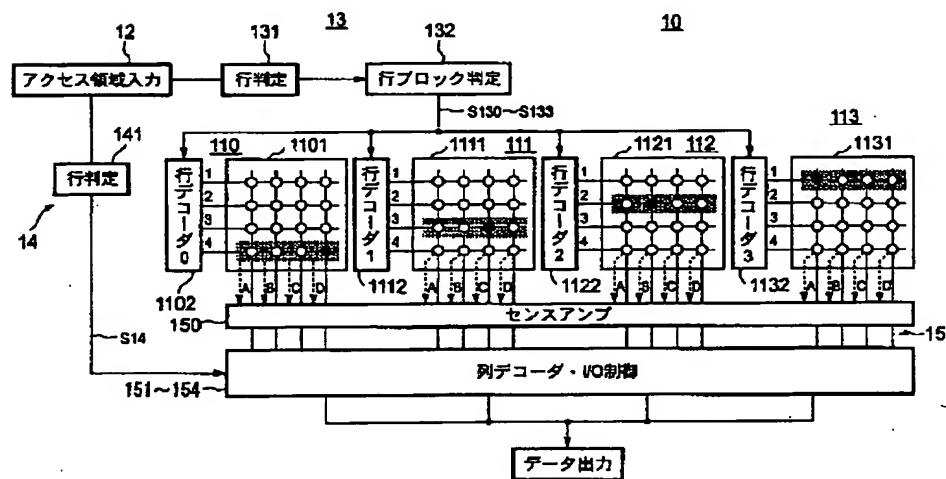
【図17】



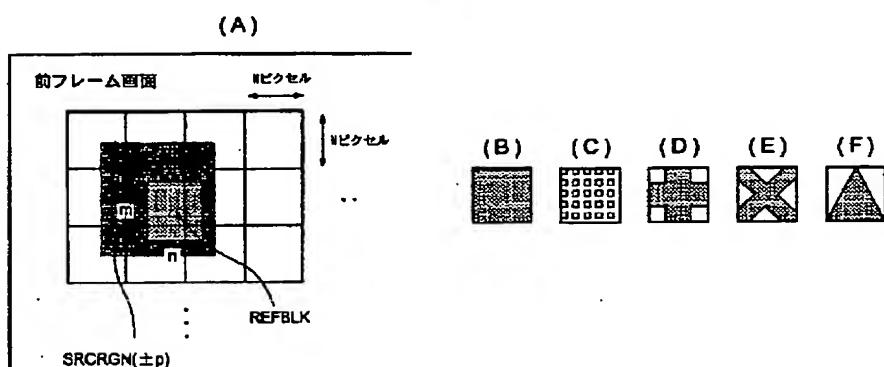
【図3】



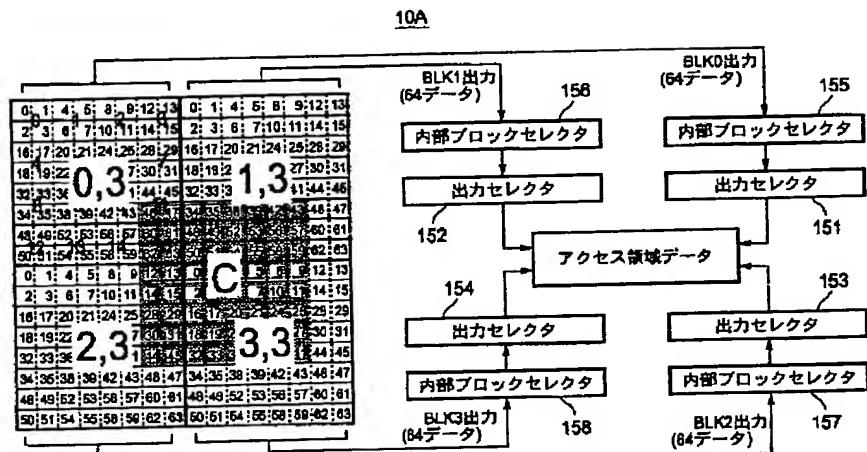
【図4】



【図10】

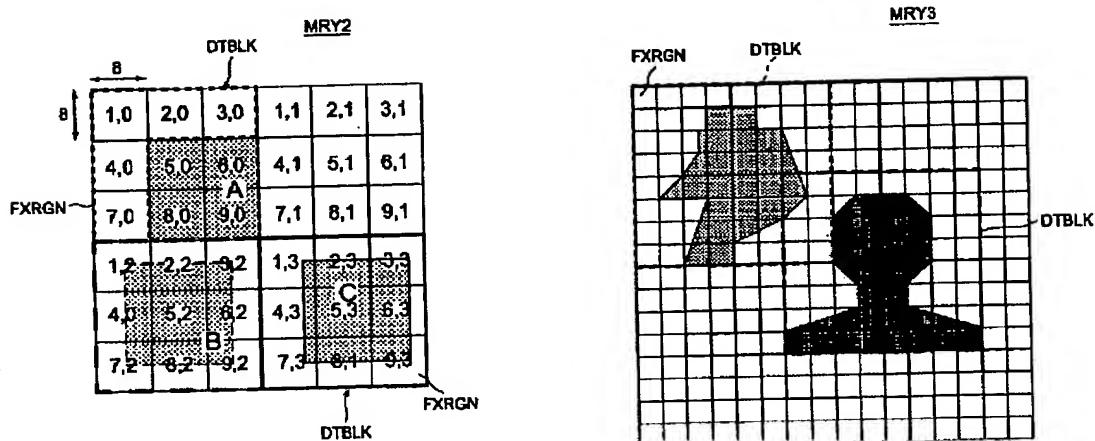


【図5】

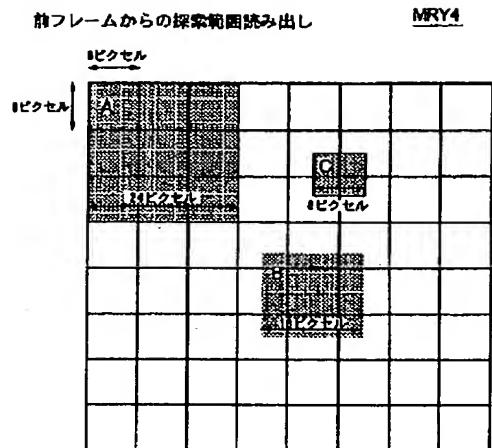


[圖6]

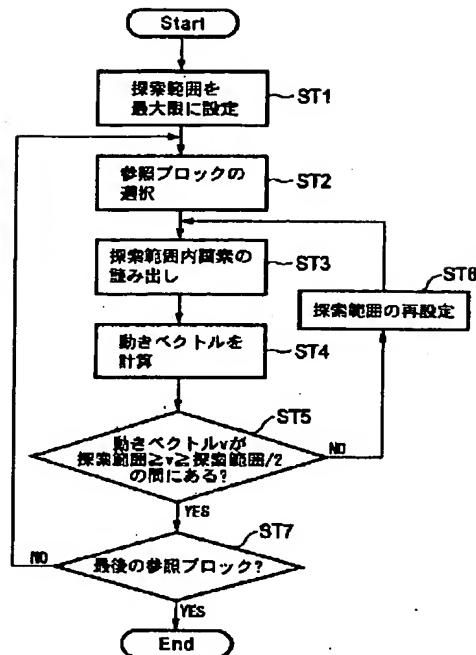
[図7]



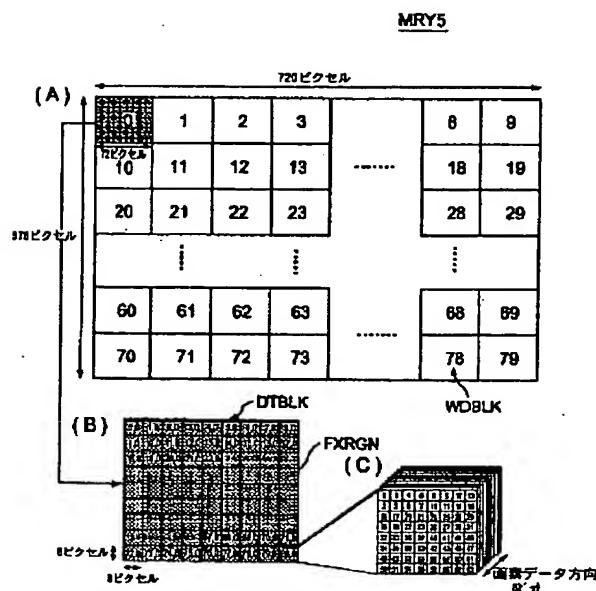
[図8]



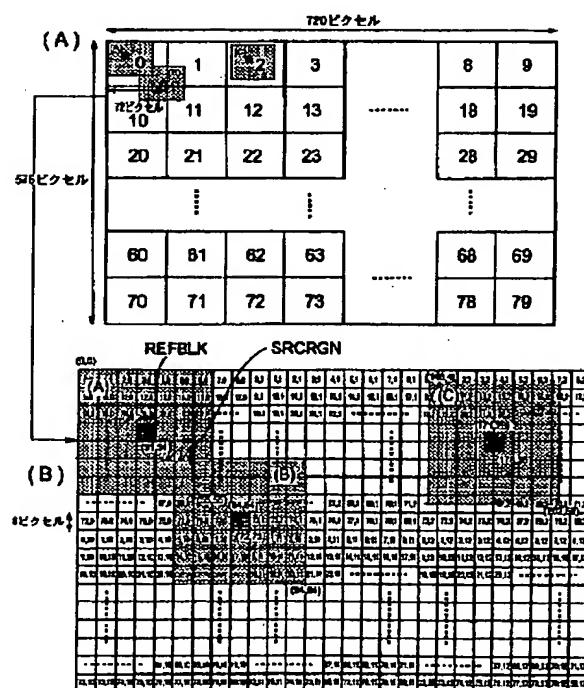
〔図9〕



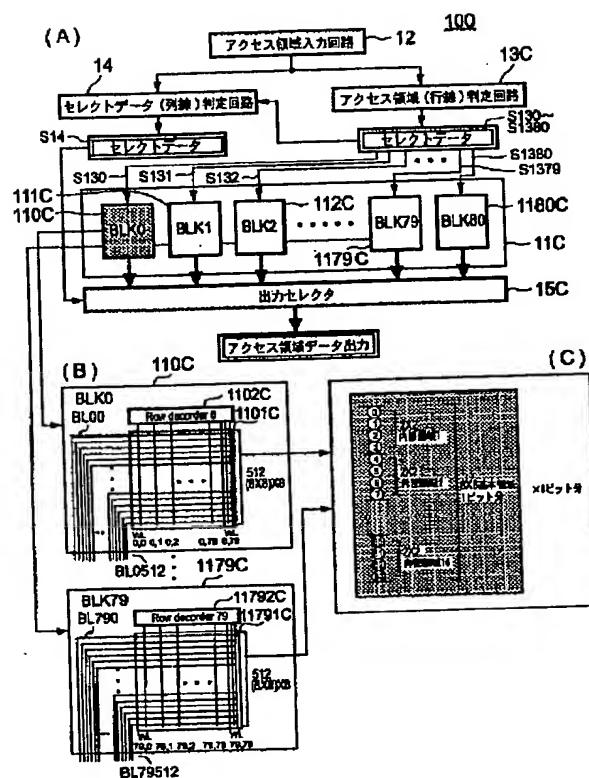
〔図11〕



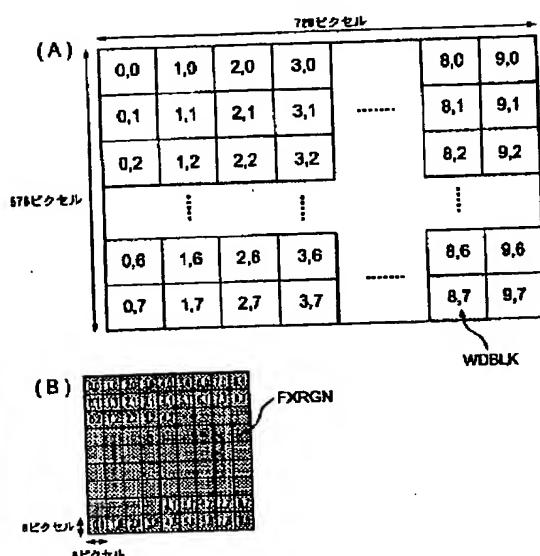
〔図14〕



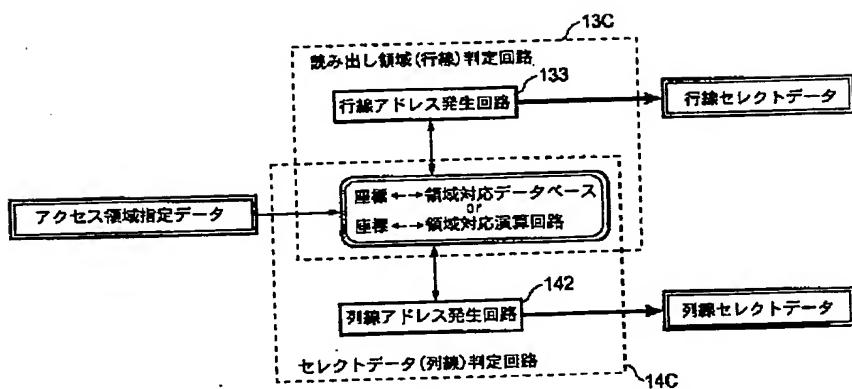
【図12】



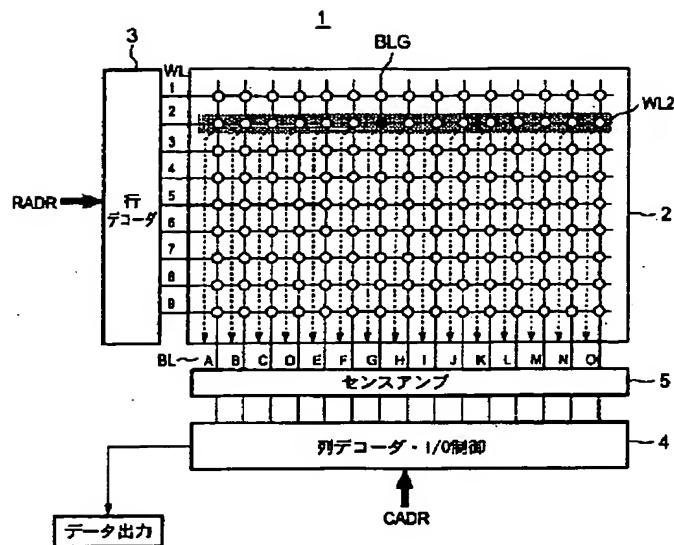
【図15】



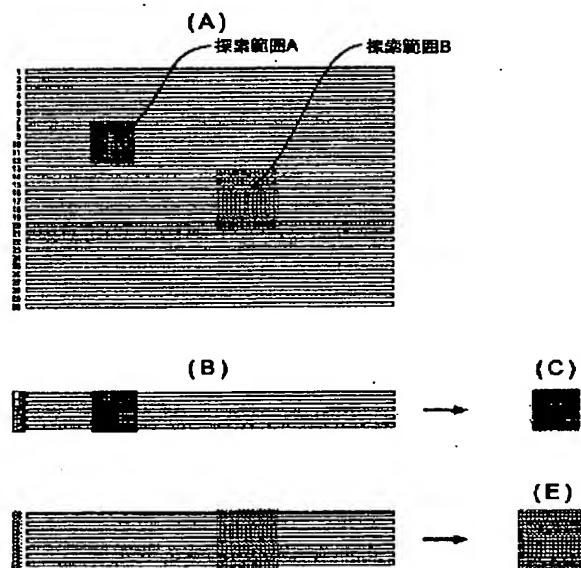
【図13】



【図16】



【図18】



フロントページの続き

(51)Int.CI.?

識別記号

F I
G 11 C 11/34

マーク (参考)

354 B

Fターム(参考) 5B015 HH01 HH03 JJ21 KB44
5B060 AC13 GA11
5M024 AA49 AA50 AA90 BB07 DD62
DD63 JJ30 KK24 PP01 PP10